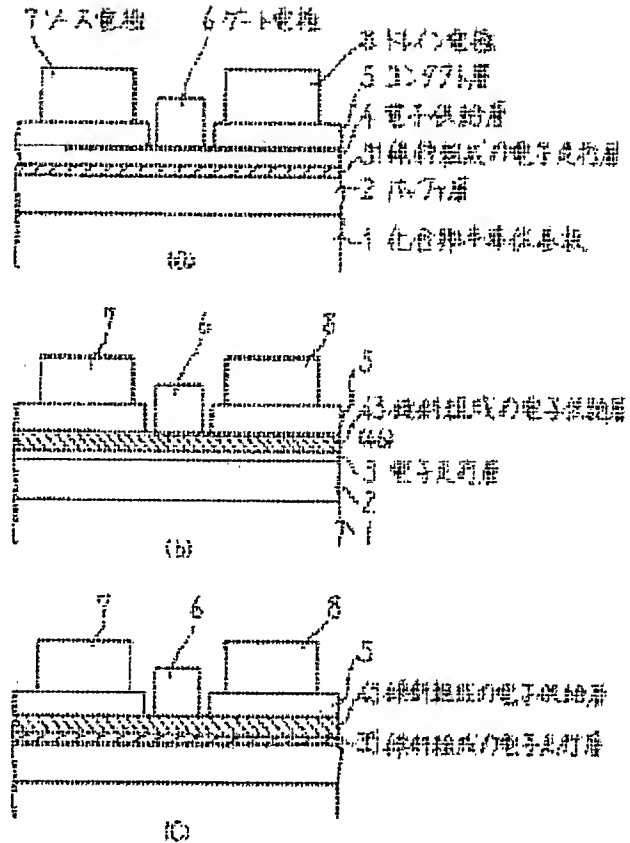


## Abstract of JP 5074819 (A)

**PURPOSE:** To provide a high electron mobility transistor, performance of which is improved.

**CONSTITUTION:** A compound semiconductor device has a compound semiconductor substrate 1, an electron supply layer 4 forming a hetero-junction and an electron transit layer 31 on the compound semiconductor substrate 1, a gate electrode 6 formed onto the electron supply layer 4 and a source electrode 7 and a drain electrode 8 shaped onto the electron supply layer 4 and arranged on both sides of the gate electrode 6. The electron transit layer 31 is composed of a III-V compound semiconductor mixed crystal layer, and the composition of the mixed crystal layer is constituted of a compound semiconductor device, in which band gap energy is reduced toward a hetero-junction surface and a lattice constant is change so as to be separated from the lattice constant of the compound semiconductor substrate 1.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-74819

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F I

技術表示箇所

7739-4M

H 0 1 L 29/ 80

H

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号 特願平3-232666

(22)出願日 平成3年(1991)9月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000154325

富士通カンタムデバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72)発明者 二階堂 淳一朗

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 株式会社富士通山梨エレクトロニクス内

(74)代理人 弁理士 井桁 貞一

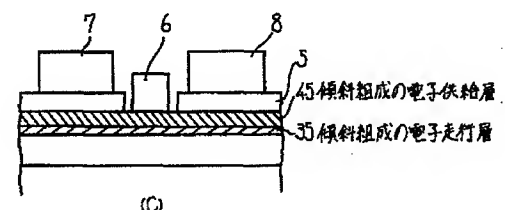
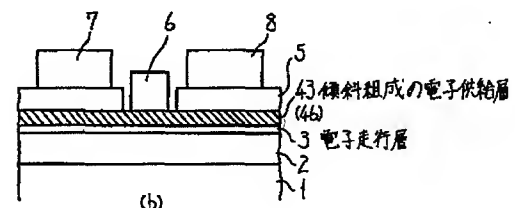
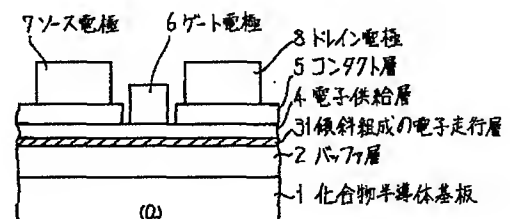
(54)【発明の名称】 化合物半導体装置

(57)【要約】

【目的】 化合物半導体装置に関し、性能を上げた高電子移動度トランジスタの提供を目的とする。

【構成】 化合物半導体基板1と、化合物半導体基板1上にあつてヘテロ接合を形成する電子供給層4及び電子走行層31と、電子供給層4上に形成されたゲート電極6と、電子供給層4上に形成されかつ該ゲート電極6の両側に配置されたソース電極7及びドレイン電極8とを有する化合物半導体装置であつて、電子走行層31はIII-V族化合物半導体混晶層からなり、その混晶層の組成はヘテロ接合面に向かってバンドギャップエネルギーが小さくなるようにかつ格子定数が化合物半導体基板1のそれから離れるように変化している化合物半導体装置により構成する。

本発明の高電子移動度トランジスタの断面図



## 【特許請求の範囲】

【請求項1】 化合物半導体基板(1)と、  
該化合物半導体基板(1)上にあってヘテロ接合を形成する電子供給層(4)及び電子走行層(31)と、  
該電子供給層(4)上に形成されたゲート電極(6)と、  
該電子供給層(4)上に形成されかつ該ゲート電極(6)の両側に配置されたソース電極(7)及びドレイン電極(8)とを有する化合物半導体装置であって、  
該電子走行層(31)はIII-V族化合物半導体混晶層からなり、該混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが小さくなるようにかつ格子定数が該化合物半導体基板(1)のそれから離れるように変化していることを特徴とする化合物半導体装置。

【請求項2】 化合物半導体基板(1)と、  
該化合物半導体基板(1)上にあってヘテロ接合を形成する電子供給層(43)及び電子走行層(3)と、  
該電子供給層(43)上に形成されたゲート電極(6)と、  
該電子供給層(43)上に形成されかつ該ゲート電極(6)の両側に配置されたソース電極(7)及びドレイン電極(8)とを有する化合物半導体装置であって、  
該電子供給層(43)はIII-V族化合物半導体混晶層からなり、該混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化していることを特徴とする化合物半導体装置。

【請求項3】 化合物半導体基板(1)と、  
該化合物半導体基板(1)上にあってヘテロ接合を形成する電子供給層(45)及び電子走行層(35)と、  
該電子供給層(45)上に形成されたゲート電極(6)と、  
該電子供給層(45)上に形成されかつ該ゲート電極(6)の両側に配置されたソース電極(7)及びドレイン電極(8)とを有する化合物半導体装置であって、  
該電子走行層(35)は第1のIII-V族化合物半導体混晶層からなり、該第1のIII-V族化合物半導体混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが小さくなるようにかつ格子定数が該化合物半導体基板(1)のそれから離れるように変化し、該電子供給層(45)は第2のIII-V族化合物半導体混晶層からなり、該第2のIII-V族化合物半導体混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化していることを特徴とする化合物半導体装置。

【請求項4】 化合物半導体基板(1)と、  
該化合物半導体基板(1)上にあってヘテロ接合を形成する電子供給層(46)及び電子走行層(3)と、  
該電子供給層(46)上に形成されショットキー接合を形成するゲート電極(6)と、  
該電子供給層(46)上に形成されかつ該ゲート電極(6)の両側に配置されたソース電極(7)及びドレイン電極(8)とを有する化合物半導体装置であって、  
該電子供給層(46)はIII-V族化合物半導体混晶層からなり、該混晶層の組成はヘテロ接合面側で該ヘテロ接合面

に向かってバンドギャップエネルギーが大きくなるように変化し、かつショットキー接合面側で該ショットキー接合面に向かってバンドギャップエネルギーが大きくなるように変化していることを特徴とする化合物半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は化合物半導体装置に係り、特に高電子移動度トランジスタに関する。高電子移動度トランジスタ(HEMT)は高速で動作することが知られており、マイクロ波帯域はもとより、その上のミリ波帯域の高周波通信に使用されているが、その性能向上はとどまることなく続けられている。

## 【0002】

【従来の技術】図11は高電子移動度トランジスタの従来例を示す断面図で、1はGaAs基板、2a、2bはバッファ層、3は電子走行層、4は電子供給層、5はコンタクト層、6はゲート電極、7はソース電極、8はドレイン電極を表す。

【0003】図12は高電子移動度トランジスタのエネルギーバンド図で、 $E_c$ は伝導帯下端エネルギー、 $E_v$ は価電子帯上端エネルギー、 $E_{g1}$ は電子供給層のバンドギャップエネルギー、 $E_{g2}$ は電子走行層のバンドギャップエネルギー、 $E_F$ はフェルミ準位、 $\Delta E_c$ はヘテロ接合界面での伝導帯下端エネルギーの差、 $\Delta E_v$ はヘテロ接合界面での価電子帯上端エネルギーの差を表す。

【0004】低雑音のHEMTとして、GaAs基板上に形成されたAlGaAs系の化合物半導体層を電子供給層4とし、InGaAs系の化合物半導体層を電子走行層3としたHEMTがある。このような構成にすることにより、 $\Delta E_c$ を大きくして2次元電子ガスの濃度を増し、かつ電子速度を大きくすることができるので、高性能化が期待できる。

【0005】ところで、 $\Delta E_c$ と $E_{g1}$ 及び $E_{g2}$ との間には次式の関係のあることが知られている。

## 【0006】

$$\text{【数1】 } \Delta E_c = 0.85 \times (E_{g1} - E_{g2})$$

電子走行層3の $\text{In}_x\text{Ga}_{1-x}\text{As}$ 系のIn組成を大きくすると $E_{g2}$ が小さくなり、その結果 $\Delta E_c$ が大きくなって2次元電子ガスの濃度の増加が期待でき、さらに、In組成を大きくすると電子速度の向上も期待できるのであるが、In組成が大き過ぎると基板格子定数からのずれが大きくなって格子不整を引き起こすので、 $x=0.25$ 程度が限度である。

【0007】また、InP基板を用い、電子供給層4をInAlAs系の化合物半導体、電子走行層3をInGaAs系の化合物半導体とするHEMTにおいても、同様のことがいえる。

## 【0008】

【発明が解決しようとする課題】本発明は上記の問題に

鑑み、電子走行層3或いは電子供給層4或いは両者の化合物半導体層を各層内においてその組成が傾斜型に変化するように形成して格子不整合を引き起こすことがないようにし、しかも高性能が引き出せるようにした構造の化合物半導体装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】図1(a)～(c)は、本発明の高電子移動度トランジスタの断面図を示し、1は化合物半導体基板、2はバッファ層、3は電子走行層、31及び35は傾斜組成の電子走行層、4は電子供給層、43及び45は傾斜組成の電子供給層、5はコンタクト層、6はゲート電極、7はソース電極、8はドレイン電極を表す。

【0010】上記課題は、化合物半導体基板1と、該化合物半導体基板1上においてヘテロ接合を形成する電子供給層4及び電子走行層31と、該電子供給層4上に形成されたゲート電極6と、該電子供給層4上に形成されかつ該ゲート電極6の両側に配置されたソース電極7及びドレイン電極8とを有する化合物半導体装置であって、該電子走行層31はIII-V族化合物半導体混晶層からなり、該混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが小さくなるようにかつ格子定数が該化合物半導体基板1のそれから離れるように変化している化合物半導体装置によって解決される。

【0011】また、化合物半導体基板1と、該化合物半導体基板1上においてヘテロ接合を形成する電子供給層43及び電子走行層3と、該電子供給層43上に形成されたゲート電極6と、該電子供給層43上に形成されかつ該ゲート電極6の両側に配置されたソース電極7及びドレイン電極8とを有する化合物半導体装置であって、該電子供給層43はIII-V族化合物半導体混晶層からなり、該混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化している化合物半導体装置によって解決される。

【0012】また、化合物半導体基板1と、該化合物半導体基板1上においてヘテロ接合を形成する電子供給層45及び電子走行層35と、該電子供給層45上に形成されたゲート電極6と、該電子供給層45上に形成されかつ該ゲート電極6の両側に配置されたソース電極7及びドレイン電極8とを有する化合物半導体装置であって、該電子走行層35は第1のIII-V族化合物半導体混晶層からなり、該第1のIII-V族化合物半導体混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが小さくなるようにかつ格子定数が該化合物半導体基板1のそれから離れるように変化し、該電子供給層45は第2のIII-V族化合物半導体混晶層の組成は該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化している化合物半導体装置によって解決される。

【0013】また、化合物半導体基板1と、該化合物半

導体基板1上においてヘテロ接合を形成する電子供給層46及び電子走行層3と、該電子供給層46上に形成されショットキー接合を形成するゲート電極6と、該電子供給層46上に形成されかつ該ゲート電極6の両側に配置されたソース電極7及びドレイン電極8とを有する化合物半導体装置であって、該電子供給層46はIII-V族化合物半導体混晶層からなり、該混晶層の組成はヘテロ接合面側で該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化し、かつショットキー接合面側で該ショットキー接合面に向かってバンドギャップエネルギーが大きくなるように変化している化合物半導体装置によって解決される。

#### 【0014】

【作用】本発明では、電子走行層31はIII-V族化合物半導体混晶層からなり、その混晶層の組成はヘテロ接合面に向かってバンドギャップエネルギーが小さくなるように変化しているから、ヘテロ接合面付近での $\Delta E_c$ を大きくして2次元電子ガス濃度を増し、しかも格子定数の移行は基板の格子定数の値から徐々に離れるように行っているため、格子定数のずれによる欠陥発生を防ぐことができる。

【0015】また、電子供給層43はIII-V族化合物半導体混晶層からなり、その混晶層はヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように組成が変化しているから、ヘテロ接合面付近での $\Delta E_c$ を大きくして2次元電子ガス濃度を増し、化合物半導体装置の性能を上げることができる。

【0016】また、電子走行層35は第1のIII-V族化合物半導体混晶層からなり、その混晶層はヘテロ接合面に向かってバンドギャップエネルギーが小さくなるように組成が変化し、電子供給層45は第2のIII-V族化合物半導体混晶層からなり、その混晶層はヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように組成が変化しているため、電子走行層または電子供給層のどちらかだけを傾斜組成にした時よりもヘテロ接合面付近での $\Delta E_c$ が大きくなり、2次元電子ガス濃度をより大きくすることができる。

【0017】また、電子供給層46はIII-V族化合物半導体混晶層からなり、その混晶層の組成はヘテロ接合面側で該ヘテロ接合面に向かってバンドギャップエネルギーが大きくなるように変化し、かつショットキー接合面側でショットキー接合面に向かってバンドギャップエネルギーが大きくなるように変化しているため、ヘテロ接合面付近での $\Delta E_c$ が大きくなると同時に、ショットキーバリアの高さも大きくなるため、ゲートリーク電流も減少させることができる。

#### 【0018】

【実施例】図2(a)～(d)は第1の実施例を示す工程順断面図である。以下、これらの図を参照しながら、第1の実施例について説明する。

## 【0019】図2(a) 参照

分子線エピタキシー(MBE)により、GaAs基板11上にバッファ層となる $i\text{-GaAs}$ 層21a、 $i\text{-Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 層21bを、それぞれ、3500Å、1000Åの厚さに形成する。

【0020】次に、電子走行層31となる $i\text{-InGaAs}$ 層を成長するが、まずInソースの温度を1000°Cに設定し、150Åする間に徐々に1150°Cまで昇温するようにし、成長層の始めが $i\text{-GaAs}$ 、終わりが $i\text{-In}_{0.45}\text{Ga}_{0.55}\text{As}$ となるようにする。

【0021】次に、電子供給層41となる $n^+\text{-Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 層を400Åの厚さに成長し、その上に、コンタクト層51となる $n^+\text{-GaAs}$ 層を700Åの厚さに成長する。

## 【0022】図2(b) 参照

真空蒸着法により、コンタクト層51の上に厚さが例えば400ÅのAuGe膜と厚さが例えば4000ÅのAu膜を連続して形成し、それをパターニングしてソース電極7、ドレイン電極8を形成する。

【0023】その後、450°Cで合金化処理を行う。

## 図2(c) 参照

レジストを塗布し、ゲート電極を形成するための開孔9aを有するレジストマスク9を形成する。開孔9aからコンタクト層5を、例えば $\text{CCl}_2\text{F}_2$ ガスでエッチングして除去する。この時、若干のサイドエッチングが生じる。

## 【0024】図2(d) 参照

レジストマスク9を残したまま、全面に厚さが例えば2000ÅのTi膜と厚さが例えば2000ÅのAl膜を連続して蒸着し、レジストマスク9を除去してリフトオフによりゲート電極6を形成する。

【0025】電子走行層31は組成が徐々に変化する傾斜組成となる。図3(a)、(b)は傾斜組成の電子走行層における混晶比の推移とバンドギャップエネルギー $E_g$ の推移を示す。

【0026】電子走行層の組成は、バッファ層との境界面( $P_1$ )で $i\text{-GaAs}$ であり、ヘテロ接合面( $P_2$ )では $i\text{-In}_{0.45}\text{Ga}_{0.55}\text{As}$ となり、その間Inが連続的に増加している。

【0027】一方、バンドギャップエネルギー $E_g$ は、 $P_1$ 点で約1.4eVであり、 $P_2$ 点では約0.8eVとなり、その間徐々に減少している。格子定数は単体ではGaAsが5.654Å、 $\text{In}_{0.45}\text{Ga}_{0.55}\text{As}$ が5.8Åであるが、上で述べたように傾斜組成の電子走行層を形成すると、格子定数はバッファ層との境界面( $P_1$ )からヘテロ接合面( $P_2$ )に向かってGaAs基板の格子定数から徐々に離れて行くので、ヘテロ接合面( $P_2$ )付近ではIn組成が大きくなっても格子不整による欠陥の発生は見られなかった。

【0028】このようにして形成した高電子移動度トラ

ンジスタでは、相互コンダクタンス $g_m$ が550 mS/mm、雑音指数が12 GHzで0.45であった。それに対して、図11に示した構造の従来例の高電子移動度トランジスタでは、相互コンダクタンス $g_m$ が450 mS/mm、雑音指数が12 GHzで0.60であった。

【0029】このように本発明の構造にすることにより、相互コンダクタンス $g_m$ を上げ、雑音指数を下げる事ができた。なお、 $i\text{-In}_x\text{Ga}_{1-x}\text{As}$ に替えて $i\text{-GaSb}_y\text{As}_{1-y}$ を電子走行層として用い、バッファ層との境界面( $P_1$ )からヘテロ接合面( $P_2$ )にかけて $y$ 値を徐々に増加するようにしても、同様の作用と効果がある。

【0030】次に、第2の実施例について説明する。図4は第2の実施例を示す断面図であり、InP基板の上に形成された傾斜組成の電子走行層をもつ高電子移動度トランジスタの例である。

【0031】図中、12はInP基板、22a、22bはバッファ層で、それぞれ厚さ3500Åの $i\text{-InP}$ 層、厚さ1000Åの $\text{In}_x\text{Al}_{1-x}\text{As}$ 層であり、32は厚さ150Åの傾斜組成の電子走行層で $i\text{-In}_y\text{Ga}_{1-y}\text{As}$ 層、42は厚さ430Åの電子供給層となる $n^+\text{-In}_x\text{Al}_{1-x}\text{As}$ 層、52はコンタクト層となる $n^+\text{-In}_y\text{Ga}_{1-y}\text{As}$ 層である。

【0032】ゲート電極6、ソース電極7、ドレイン電極8は第1の実施例と同じである。製造工程は第1の実施例に準じる。電子走行層の組成はバッファ層との境界面( $P_1$ )で $i\text{-In}_y\text{Ga}_{1-y}\text{As}$  ( $y=0.53$ )、ヘテロ接合面( $P_2$ )で $i\text{-In}_y\text{Ga}_{1-y}\text{As}$  ( $y=1.0$ )となり、その間 $y$ は連続的に変化する。

【0033】一方、バンドギャップエネルギー $E_g$ は、 $P_1$ 点で0.73eVであり、 $P_2$ 点では0.35eVとなり、その間徐々に減少している。格子定数は単体では $\text{In}_y\text{Ga}_{1-y}\text{As}$  ( $y=0.53$ )が5.869Å、 $\text{In}_y\text{Ga}_{1-y}\text{As}$  ( $y=1.0$ )が6.058Åであるが、上のような傾斜組成の電子走行層を形成すると、格子不整による欠陥の発生は見られなかった。

【0034】なお、傾斜組成の電子走行層として、 $i\text{-In}_y\text{Ga}_{1-y}\text{As}$ 層の替わりに、 $i\text{-InAs}_x\text{P}_{1-x}$ を用いることもできる。次に、第3の実施例について説明する。

【0035】図5は第3の実施例を示す断面図で、GaAs基板の上に形成された傾斜組成の電子供給層をもつ高電子移動度トランジスタの例である。図中、13はGaAs基板、23a、23bはバッファ層で、それぞれ厚さが3500Å、1000Åとなる $i\text{-GaAs}$ 層、 $i\text{-Al}_{0.23}\text{Ga}_{0.77}\text{As}$ 層、33は電子走行層で厚さ150Åの $i\text{-In}_{0.25}\text{Ga}_{0.75}\text{As}$ 層、43は厚さ430Åの傾斜組成の電子供給層で $n^+\text{-In}_x\text{Ga}_{1-x}\text{P}$ 層、53はコンタクト層となる $n^+\text{-GaAs}$ 層である。

【0036】ゲート電極6、ソース電極7、ドレイン電

極8は第1の実施例と同じである。製造工程は第1の実施例に準じる。図6(a), (b)は傾斜組成の電子供給層における混晶比とバンドギャップエネルギー $E_{g1}$ の推移を示す。

【0037】電子供給層の組成は、ヘテロ接合面( $P_2$ )で $n^+ - \text{In}_{0.70}\text{Ga}_{0.30}\text{P}$ となり、ショットキー接合面( $P_3$ )では $n^+ - \text{In}_{0.51}\text{Ga}_{0.49}\text{P}$ であり、その間Inはショットキー接合面( $P_3$ )からヘテロ接合面( $P_2$ )に向けて連続的に増加している。

【0038】一方、バンドギャップエネルギー $E_{g1}$ は、 $P_3$ 点で1.90eV、 $P_2$ 点では2.20eVとなり、その間ショットキー接合面( $P_3$ )からヘテロ接合面( $P_2$ )に向けて徐々に増加している。

【0039】格子定数は単体では $\text{In}_{0.51}\text{Ga}_{0.49}\text{P}$ が5.654Å、 $\text{In}_{0.70}\text{Ga}_{0.30}\text{P}$ が5.6Åであり、上で述べたように傾斜組成の電子供給層を形成するとき、格子不整による欠陥の発生は見られなかった。

【0040】なお、傾斜組成の電子供給層として、GaAs基板上では $n^+ - \text{InGaP}$ 層に替えて、 $n^+ - \text{In}_y\text{Al}_{1-y}\text{P}$ 層、 $n^+ - \text{GaAs}_{1-y}\text{P}_y$ 層、 $n^+ - \text{In}_{1-y-z}\text{Al}_y\text{Ga}_z\text{P}$ 層を用いることもできる。

【0041】次に、第4の実施例について説明する。図7は第4の実施例を示す断面図であり、InP基板の上に形成された傾斜組成の電子供給層をもつ高電子移動度トランジスタの例である。

【0042】図中、14はInP基板、24a、24bはバッファ層で、それぞれ厚さ3500Åの $i - \text{InP}$ 層、厚さ1000Åの $i - \text{In}_x\text{Al}_{1-x}\text{As}$ 層であり、34は厚さ150Åの電子走行層で $i - \text{In}_y\text{Ga}_{1-y}\text{As}$ 層、44は厚さ430Åの傾斜組成の電子供給層となる $n^+ - \text{In}_x\text{Al}_{1-x}\text{As}$ 層、54はコンタクト層となる $n^+ - \text{In}_y\text{Ga}_{1-y}\text{As}$ 層である。

【0043】ゲート電極6、ソース電極7、ドレイン電極8は第1の実施例と同じである。製造工程は第1の実施例に準じる。電子供給層44の組成はヘテロ接合面( $P_2$ )で $n^+ - \text{In}_{0.37}\text{Al}_{0.63}\text{As}$ 、ショットキー接合面( $P_3$ )で $n^+ - \text{In}_{0.52}\text{Al}_{0.48}\text{As}$ となり、その間、組成連続的に変化する。

【0044】一方、バンドギャップエネルギー $E_{g1}$ は、 $P_3$ 点で1.55eV、 $P_2$ 点では1.75eVとなり、その間ショットキー接合面( $P_3$ )からヘテロ接合面( $P_2$ )に向けて徐々に増加している。

【0045】格子定数は単体では $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ が5.869Å、 $\text{In}_{0.37}\text{Al}_{0.63}\text{As}$ が5.82Åであるが、上で述べたように傾斜組成の電子供給層を形成するとき、格子不整による欠陥の発生は見られなかった。

【0046】なお、傾斜組成の電子供給層となる $n^+ - \text{In}_x\text{Al}_{1-x}\text{As}$ の替わりに、InP基板上では $n^+ - \text{In}_{1-y}\text{Ga}_y\text{P}$ 、 $n^+ - \text{InP}_{1-y}\text{Sb}_y$ 、 $n^+ - \text{In}_{1-y-z}\text{Al}_y\text{Ga}_z\text{P}$ の混晶を使用することもでき

る。

【0047】次に、第5の実施例について説明する。図8は第5の実施例を示す断面図であり、InP基板の上に形成された傾斜組成の電子供給層と傾斜組成の電子走行層を同時にもち高電子移動度トランジスタの例である。

【0048】図中、15はInP基板、25a、25bはバッファ層で、それぞれ厚さ3500Åの $i - \text{InP}$ 層、厚さ1000Åの $i - \text{InAlAs}$ 層であり、35は厚さ150Åの傾斜組成の電子走行層で $i - \text{In}_x\text{Ga}_{1-x}\text{As}$ 層、45は厚さ430Åの傾斜組成の電子供給層となる $n^+ - \text{In}_y\text{Al}_{1-y}\text{As}$ 層、55はコンタクト層となる $n^+ - \text{InGaAs}$ 層である。

【0049】ゲート電極6、ソース電極7、ドレイン電極8は第1の実施例と同じである。製造工程は第1の実施例に準じる。電子走行層 $i - \text{In}_x\text{Ga}_{1-x}\text{As}$ と電子供給層 $n^+ - \text{In}_y\text{Al}_{1-y}\text{As}$ の組成は各層の中で連続的に変化するが、 $x$ (バッファ層との境界面)=0.53、 $x$ (ヘテロ接合面)=1.0、 $y$ (ヘテロ接合面)=0.37、 $y$ (ショットキー接合面)=0.52となる。

【0050】このようにして、 $\Delta E_c$ を大きくして2次元電子ガス濃度を増し、格子不整による欠陥の発生を防ぐことができる。電子供給層と電子走行層とともに傾斜組成にすることにより、選択できる組成範囲を広くすることができる。

【0051】次に、第6の実施例について説明する。図9は第6の実施例を示す断面図であり、InP基板の上に形成された電子供給層の組成を、ヘテロ接合面( $P_2$ )とショットキー接合面( $P_3$ )と両方向に向けて変化させた高電子移動度トランジスタの例である。

【0052】図中、16はInP基板、26a、26bはバッファ層で、それぞれ厚さ3500Åの $i - \text{InP}$ 層、厚さ1000Åの $i - \text{In}_x\text{Al}_{1-x}\text{As}$ 層であり、36は厚さ150Åの電子走行層で $i - \text{In}_{0.47}\text{Ga}_{0.53}\text{As}$ 層、46は厚さ430Åの傾斜組成の電子供給層となる $n^+ - \text{In}_x\text{Al}_{1-x}\text{As}$ 層、56はコンタクト層となる $n^+ - \text{In}_y\text{Ga}_{1-y}\text{As}$ 層である。

【0053】ゲート電極6、ソース電極7、ドレイン電極8は第1の実施例と同じである。製造工程は第1の実施例に準じる。図10は電子供給層の混晶比の推移を示す図である。

【0054】電子供給層の組成は、ヘテロ接合面( $P_2$ )では $n^+ - \text{In}_y\text{Al}_{1-y}\text{As}$ ( $y=0.37$ )とし、そこからショットキー接合面( $P_3$ )に向けて $y$ を増加させ、中間点で( $y=0.52$ )とし、そこからショットキー接合面( $P_3$ )に向けて $y$ を減少させ、ショットキー接合面( $P_3$ )では( $y=0.37$ )とする。

【0055】電子供給層の組成をこのように組成を変化させると、電子供給層のバンドギャップエネルギー $E_{g1}$ を大きくできるとともに、ショットキーバリアを高くす

ることができる。即ち、 $n^+ - \text{In}_y \text{Al}_{1-y} \text{As}$  ( $y=0.52$ ) ではショットキーバリアが0.6 eVであるが、 $n^+ - \text{In}_y \text{Al}_{1-y} \text{As}$  ( $y=0.37$ ) では0.9 eVとなる。ショットキーバリアを高くすることにより、ゲートリーク電流を減少させることができる。

【0056】なお、実施例ではバッファ層との境界面 $P_1$ からヘテロ接合面 $P_2$ に至る化合物半導体層の組成及びヘテロ接合面 $P_2$ からショットキー接合面 $P_3$ に至る化合物半導体層の組成を連続的に変化させたが、ステップ的に変化させるようにしてもよい。

【0057】

【発明の効果】以上説明したように、本発明によれば、電子走行層および/または電子供給層の組成を傾斜組成とすることにより、高電子移動度トランジスタを高性能化することができる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の高電子移動度トランジスタの断面図である。

【図2】(a)～(d)は第1の実施例を示す工程順断面図である。

【図3】傾斜組成の電子走行層の混晶比と $E_{g2}$ の推移を示す図である。

【図4】第2の実施例を示す断面図である。

【図5】第3の実施例を示す断面図である。

【図6】傾斜組成の電子供給層の混晶比と $E_{g1}$ の推移を示す図である。

【図7】第4の実施例を示す断面図である。

【図8】第5の実施例を示す断面図である。

【図9】第6の実施例を示す断面図である。

【図10】電子供給層の混晶比の推移を示す図である。

【図11】従来例を示す断面図である。

【図12】高電子移動度トランジスタのエネルギーバンド図である。

【符号の説明】

1は化合物半導体基板

2はバッファ層

3は電子走行層

4は電子供給層

5はコンタクト層

6はゲート電極

7はソース電極

8はドレイン電極

9はレジストマスク

9aは開孔

11, 13は化合物半導体基板であってGaAs基板

12, 14, 15, 16は化合物半導体基板であってInP基板

21a, 21b, 22a, 22b, 23a, 23b, 24a, 24b, 25a, 25b,

26a, 26bはバッファ層

33, 34, 36は電子走行層

31, 32, 35は電子走行層であって傾斜組成の電子走行層

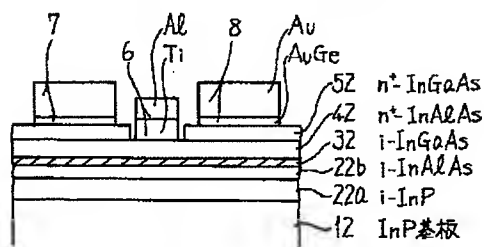
41, 42は電子供給層

43, 44, 45, 46は電子供給層であって傾斜組成の電子供給層

51～56はコンタクト層

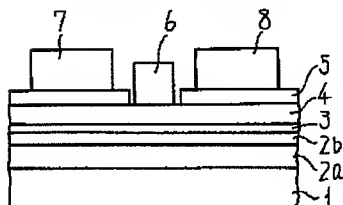
【図4】

第2の実施例を示す断面図



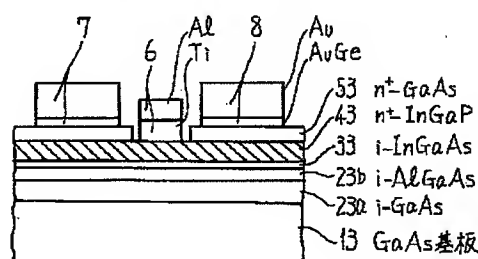
【図11】

従来例を示す断面図



【図5】

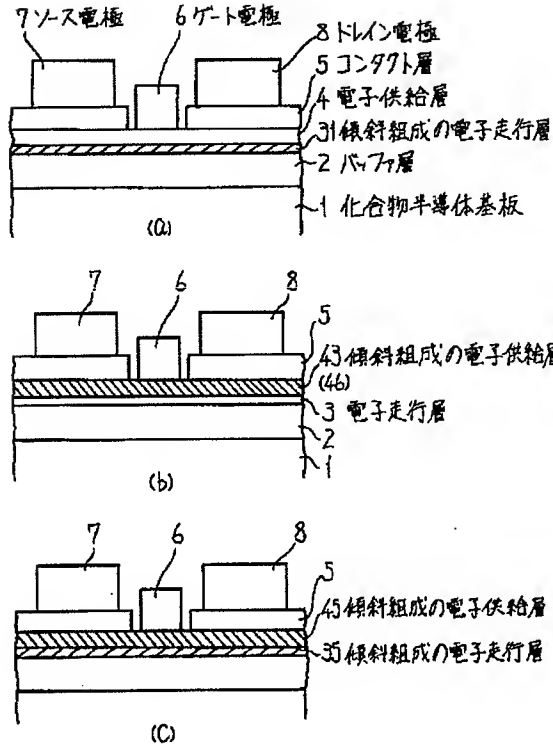
第3の実施例を示す断面図





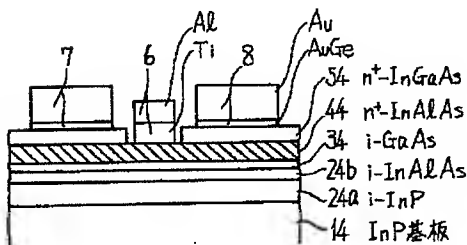
【図1】

本発明の高電子移動度トランジスタの断面図



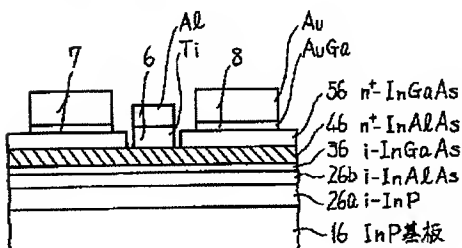
【図7】

第4の実施例を示す断面図



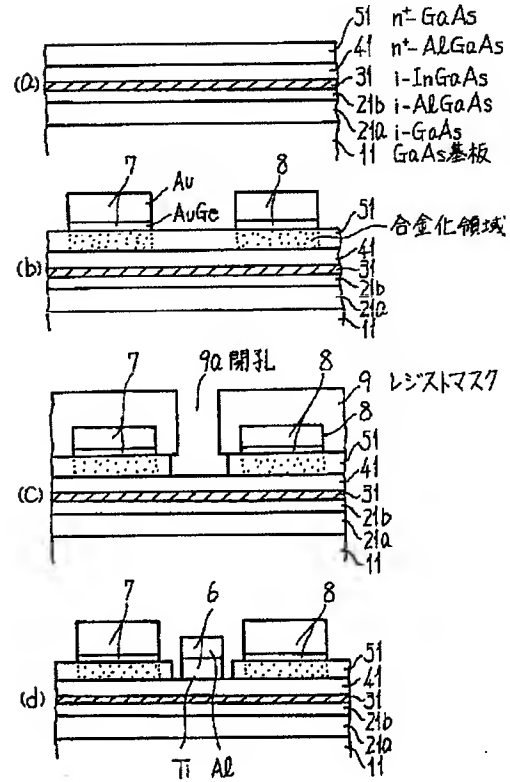
【図9】

第6の実施例を示す断面図



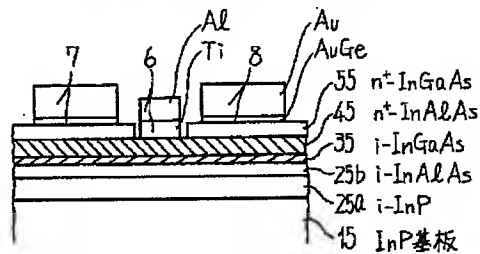
【図2】

第1の実施例を示す工程順断面図



【図8】

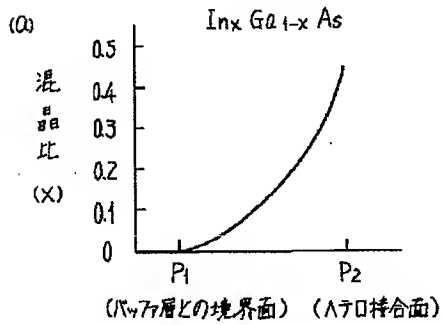
第5の実施例を示す断面図





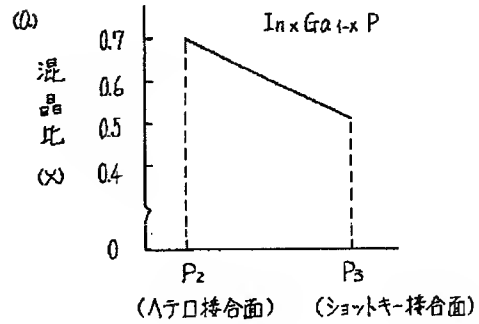
【図3】

傾斜組成の電子走行層の混晶比と $E_{g2}$ の推移を示す図



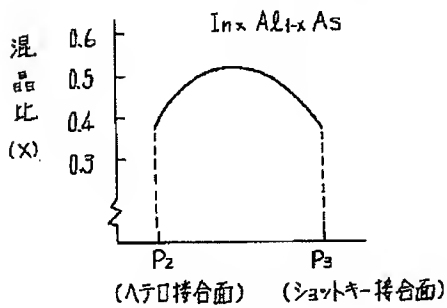
【図6】

傾斜組成の電子供給層の混晶比と $E_{g1}$ の推移を示す図



【図10】

電子供給層の混晶比の推移を示す図



【図12】

高電子移動度トランジスタのエネルギーバンド図

